

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-007052

(43)Date of publication of application : 10.01.1995

(51)Int.Cl.

H01L 21/66

(21)Application number : 05-145210

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.06.1993

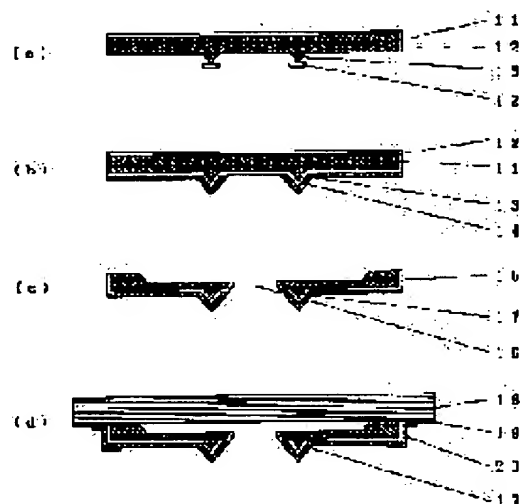
(72)Inventor : NOSE YASUTO
OTA TSUTOMU

(54) ELECTRIC PROPERTIES MEASUREMENT PROBE

(57)Abstract:

PURPOSE: To provide excellent positional accuracy and flatness and high mechanical strength of a contactor and hence enhance the measurement durability and reliability of the contactor by obtaining an electric properties measurement probe having contactors as a fine array pitch since this probe is manufactured based on such a process as photolithograph and thin film formation.

CONSTITUTION: This is designed based on a cantilever beam structure 15 which comprises single crystal silicon, silicon oxide and nitriding silicon and polysilicon or at least one metal layer. A continuity metal film 14 is formed on the surface. This cantilever beam structure 15 is held by an insulation board 18 which forms a continuity wiring pattern 19, thereby using this as an electric properties measurement probe.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-7052

(43)公開日 平成7年(1995)1月10日

(51)Int.Cl.⁶

H 0 1 L 21/66

識別記号

片内整理番号

B 7630-4M

F I

技術表示箇所

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21)出願番号

特願平5-145210

(22)出願日

平成5年(1993)6月16日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 野瀬 保人

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 太田 勉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

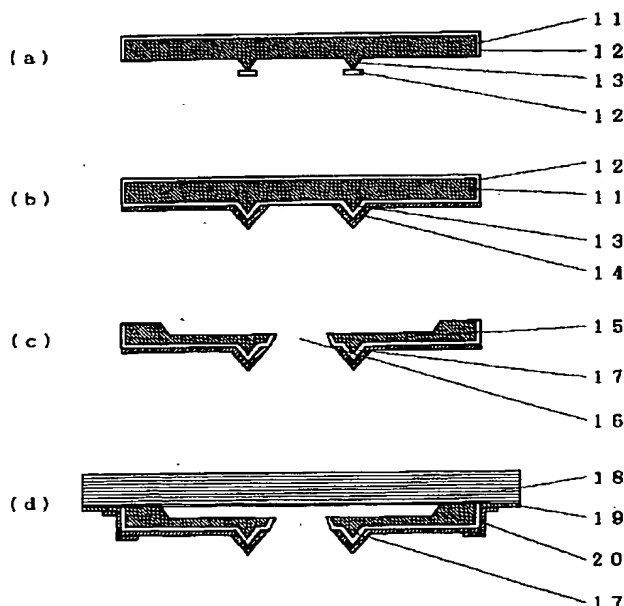
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 電気特性測定用プローブ

(57)【要約】

【構成】 単結晶シリコン、酸化シリコン、窒化シリコン、ポリシリコン、あるいは金属層の少なくとも一層からなる片持ち梁構造15とし、その表面に導通用の金属皮膜14を形成する。さらに、この片持ち梁構造体15を導通配線パターン19を形成した絶縁基板18で保持して電気特性測定用プローブとする。

【効果】 フォトリソ、薄膜形成等のプロセスにより製作するため、微細な配列ピッチの接触子を有する電気特性測定用プローブが得られ、接触子の位置精度、平面度が優れ、機械的強度も高いため測定 of 耐久性、信頼性を向上させる事が出来る。



【特許請求の範囲】

【請求項 1】 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる片持ち梁により、測定する電子部品の測定用端子との電気的接触を行う事の特徴とする電気特性測定用プローブ。

【請求項 2】 前記電気的接触を行う電子部品の測定用端子にコンタクトする部分の形状が、角錐状である事の特徴とする請求項 1 記載の電気特性測定用プローブ。

【請求項 3】 前記片持ち梁に金属皮膜が形成されていることを特徴とする請求項 1 または請求項 2 記載の電気特性測定用プローブ。

【請求項 4】 前記片持ち梁及び角錐状部分が、エッチングにより形成されていることを特徴とする請求項 1 または請求項 2 記載の電気特性測定用プローブ。

【請求項 5】 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる電子部品の測定用端子となる導電化された片持ち梁と、該片持ち梁を保持する絶縁基板からなり、該絶縁基板上に形成した配線パターンによって前記導電性片持ち梁と、測定装置への入出力端子を接続する事の特徴とする電気特性測定用プローブ。

【請求項 6】 前記導電化された片持ち梁を保持する絶縁基板がホウケイ酸系ガラスであり、該片持ち梁と陽極接合法により接合、一体化した事の特徴とする請求項 5 記載の電気特性測定用プローブ。

【請求項 7】 前記測定する電子部品が、半導体集積回路である事の特徴とする請求項 1 または請求項 5 記載の電気特性測定用プローブ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ウエハーあるいは、チップ状態の半導体集積回路等、電子デバイスの検査、試験工程において用いられる電気特性測定用のプローブに関する。

【0002】

【従来の技術】 半導体集積回路、いわゆる IC の製造工程は、シリコンウエハー上に各素子を形成し集積回路として完成させるまでの前工程と、前工程が終了したウエハーをダイシングにより個々のチップに分離し、チップ毎にリードフレームにダイアタッチし、ワイヤーボンディングによりチップの各端子を接続後、モールドする事によりパッケージングを完了するまでの後工程とに大別される。

【0003】 前工程が終了した段階において、ウエハー状態で集積された回路の静的及び動的電気特性試験により、各チップの良、不良品判定を行う。

【0004】 この電気特性試験において、信号源や測定系等の外部回路とチップ上の半導体集積回路との一時的な電気接続を行う手段として、金属製の複数の針状接触

端子を有するプローブが用いられる。

【0005】 この様なプローブの構造を図 3 に示す。図 3 (a) に示す様に、プリント配線基板 31 の中央部に直径約 30mm の貫通口 32 が設けられており、この上面にはタングステン製あるいはパラジウム製の先端が針状になった複数の接触子 33 が固定されている。接触子 33 の先端部は図 3 (b) に示す様に、湾曲され貫通口 32 よりプリント配線基板 31 の下面に突出しており、それぞれの接触子 33 の先端が半導体集積回路チップ上に形成されているボンディング用のパッドに対応して、数百ミクロンピッチで IC チップの四辺上の位置に必要な本数が配列されている。

【0006】 電気特性測定は、ウエハー状態の集積回路の 1 チップが貫通口 32 の内側にはいる様に位置合わせし、このチップの周辺部に形成されている各々のパッドに接触子 33 の先端を加圧接触させ、プリント配線基板を経由して評価用信号や電圧を供給して特性を測定する。

【0007】

【発明が解決しようとする課題】 しかし、前記の従来技術では、接触子 33 はタングステン等の金属製で、長さが数センチメートルのワイヤー状のものを 200 ミクロン程度のピッチで配列した構造であり、特性測定を行う集積回路チップ上のパッドに対して位置精度を確保するのが難しい。また、機械的な強度が充分でないために、外部よりの衝撃を受けたり、接触子の先端部を引っかけたりした場合に変形しやすいという課題があった。

【0008】 さらに、半導体集積回路の高集積化に伴って、外部回路とのコネクタ数が増え、集積回路チップ上のパッド数も増加し、その結果としてパッド間ピッチが小さくなる。集積回路チップ側では、パッド面積及びピッチの縮小化は、フォトリソグラフで行うために比較的容易にできるが、図 3 の様な従来の測定用プローブでは、金属製のワイヤーを用いて 1 本ずつ固定セットするため、接触子の配列ピッチと位置精度を確保する事が困難であり限界があった。

【0009】 本発明は、この様な課題を解決するもので、その目的は、高精度、高密度のプローブを提供し、このプローブを用いる事により大規模集積回路チップの電気特性測定を容易に、精度良く行う事を可能にするものである。

【0010】

【課題を解決するための手段】 上記の課題を解決するために本発明の電気測定用プローブは、

1. 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる片持ち梁により、測定する電子部品の測定用端子との電気的接触を行う事の特徴とする。

【0011】 2. 前記手段 1 の電気的接触を行う電子部品の測定用端子にコンタクトする部分の形状が、角錐状

である事の特徴とする。

【0012】3. 前記手段1または手段2の片持ち梁に金属皮膜が形成されていることを特徴とする。

【0013】4. 前記手段1または手段2の片持ち梁及び角錐状部分が、エッチングにより形成されていることを特徴とする。

【0014】5. 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなり電子部品の測定用端子となる導電化された片持ち梁と、該片持ち梁を保持する絶縁基板からなり、該絶縁基板上に形成した配線パターンによって前記導電性片持ち梁と、測定装置への入出力端子を接続する事の特徴とする。

【0015】6. 前記手段5の導電化された片持ち梁を保持する絶縁基板がホウケイ酸系ガラスであり、該片持ち梁と陽極接合法により接合、一体化した事の特徴とする。

【0016】7. 前記手段1または手段5の測定する電子部品が、半導体集積回路である事の特徴とする。

【0017】

【作用】本発明によれば、電気測定用プローブの形成を半導体集積回路の製造で用いられているフォトリソ、薄膜形成等のプロセス技術で行うために、複数の微細なプローブリード、接触子を100ミクロンメートル以下の微小なピッチで一体的に形成する事が出来、位置精度的にもマスクの精度で決定されるため従来のプローブに比べはるかに高精度であり、機械的な強度も材質的に優れており、接触子の測定変形後の復元性も高い。

【0018】さらに、接触子の先端部を同一平面に維持する事が出来るために、被測定チップ上のパッドに余分の圧力で押し付ける必要がなくなり、測定の信頼性も向上される。

【0019】生産性の面でも、半導体プロセス技術によりプローブを一括形成する事が出来るため、生産性が高く、低コストの製品を供給する事が可能になった。

【0020】

【実施例】（実施例1）図1は、本発明による実施例1を説明するための電気特性測定用プローブの製造工程の概略断面図である。

【0021】図1（a）は、径4インチ、厚み280ミクロンメートル、結晶方位（100）の両面研磨した単結晶シリコン基板11で、熱酸化膜（酸化シリコン膜）を形成し、フォトリソ、5.0重量%フッ酸溶液でのエッチングにより所定のパターンニングし部分的に酸化シリコン膜12を残す。この酸化シリコン膜12は、測定する集積回路チップ上のパッドの配列ピッチと同様であり、パッド数に合わせ同じ位置に形成されている。

【0022】酸化シリコン膜12をマスクとして、摂氏70度に加温した30重量%の水酸化カリウム溶液で、シリコン基板を異方性エッチングする事により、角錐状

の突起部13を形成する。この突起部の高さは約20ミクロンメートルであり、集積回路の測定における接触子となる。

【0023】次に、酸化シリコン膜を一旦除去した後、再度熱酸化を行って酸化膜12を形成する。その膜上にスパッタリングにより、クロム、金の金属膜を形成後フォトリソエッチングによりコンタクト用電極及び、リード電極14をパターン状に設ける（図1（b））。

【0024】その後、シリコン基板の角錐状突起部の反対側から、同様の方法により水酸化カリウム溶液による異方性エッチングを行い、厚み40ミクロンメートルのダイアフラム部15を形成し、さらに角錐状突起部側からの異方性エッチングをする事により貫通部16を形成すると共に、各プローブの接触子の部分17を片持ち梁構造として独立させる（図1（c））。

【0025】この片持ち梁構造体を保持するため、予め測定装置にコンタクトするための金属配線部19を無電解メッキ法等により形成した厚さ0.5ミリメートルのホウケイ酸系ガラス基板18と、この構造体を陽極接合法（摂氏350度、700V）で接合一体化した後、片持ち梁のリード電極14とガラス上の金属配線部19を接続するためにマスクスパッタ等により金属層20を形成して図1（d）の様な電気特性測定用プローブとして完成出来た。

【0026】このプローブを用いて実際の半導体集積回路の電気特性を測定したところ、精度、再現性良く測定できると共に、集積回路のパッド部との位置決めも容易で、測定の生産性を大きく向上させる事が可能になった。

【0027】（実施例2）図2は、本発明による実施例2を説明するための電気特性測定用プローブの製造工程の概略断面図である。

【0028】図2（a）は、直径4インチ、厚み380ミクロンメートル、結晶方位（100）の片面研磨した単結晶シリコン基板21で、熱酸化膜（酸化シリコン膜）22を形成し、フォトリソ、4.0重量%フッ酸溶液でのエッチングにより部分的に酸化シリコン膜を除去する。このエッチングした部分は、10ミクロンメートル角であり、測定する集積回路チップ上のパッドの配列ピッチと、パッド数に合わせ同じ位置に形成されている。

【0029】酸化シリコン膜22をマスクとして、摂氏70度に加温した35重量%の水酸化カリウム溶液で、この露出した部分板を異方性エッチングする事により、四角錐状の凹部23を形成する。この角錐部の深さは14ミクロンメートルである。

【0030】次に酸化シリコン膜を、前記と同様のフッ酸溶液で除去した後、この基板上に厚さ1.0ミクロンメートルの窒化シリコン膜24を形成し、さらにフォトリソ、ドライエッチングして角錐部を含めてプローブと

して用いる部分をライン状に形成する(図2(b))。

【0031】この部分的に窒化シリコン膜のパターンが形成されたシリコン基板に支持基板として、厚さ1.0ミリメートルのホウケイ酸系ガラス基板25を図2

(c)に示す様に、部分的に陽極接合(摂氏400度、1000V)して一体化する。

【0032】シリコン基板とガラスからなる構造体のシリコンの部分を、前記と同様の水酸化カリウム溶液でエッチング除去する事により、窒化シリコン部分が片持ち梁構造として残る、この窒化シリコン部分をクロム、ニッケル膜のスッパタリング、フォトリソにより導電化し、さらに無電解ニッケルメッキを3ミクロンメートル形成する事により図2(d)の様な電気特性測定用プローブとして完成出来た。

【0033】このプローブを用いて実際の半導体集積回路の電気特性を測定したところ、実施例1のプローブと同様に精度、再現性良く測定できると共に、測定の生産性も向上させる事が可能になった。

【0034】

【発明の効果】以上記した様に、本発明によれば、高集積半導体回路チップの測定端子部(パッド)に対応する、微細な配列ピッチの接触子を有する電気特性測定用プローブが容易に製造する事が可能で、従来の測定用プローブに比べ、接触子の位置精度、平面度が優れている。

【0035】また、機械的な強度も大きく、接触子の変形後の復元性が良好で、接触子の先端部の位置ずれが小さく、非測定チップのパッド部に与える損傷も低減され、高集積半導体回路製品の信頼性、歩留まりを向上出

来る効果もある。

【0036】さらに、この様なプローブの生産性は高く、低コストの製品として供給する事が可能になった。

【図面の簡単な説明】

【図1】 本発明の実施例1による電気特性測定用プローブの製造工程と構造を示す断面図。

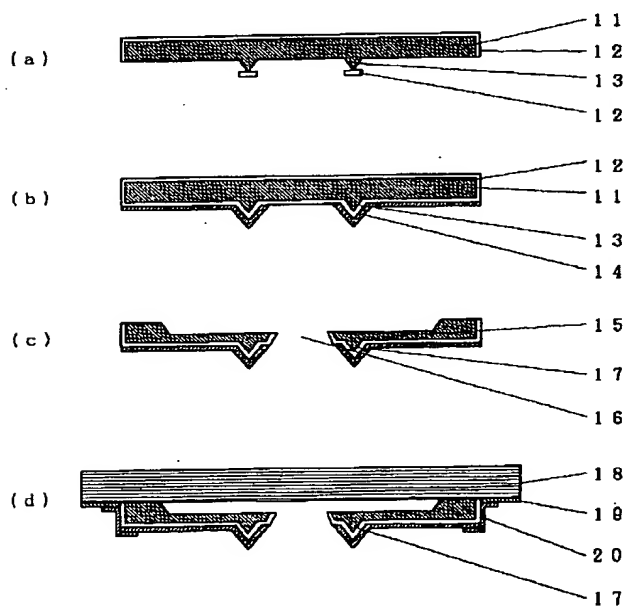
【図2】 本発明の実施例2による電気特性測定用プローブの製造工程と構造を示す断面図。

【図3】 従来技術による電気特性測定用プローブの構造説明図。

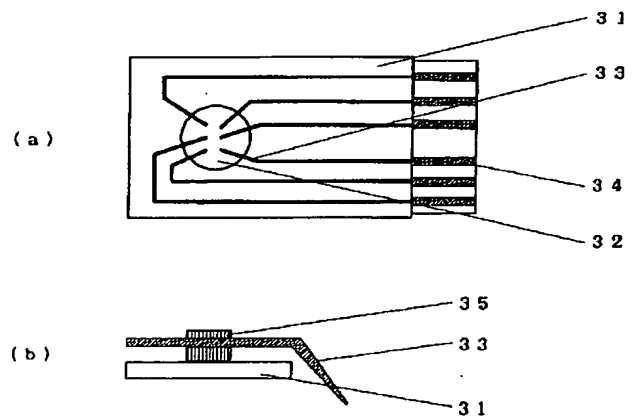
【符号の説明】

11、21	シリコン単結晶基板
12、22	酸化シリコン膜
13	突起部
14	クロム、金電極膜
15	ダイアフラム部
16	貫通部
17	接触子
18、25	ホウケイ酸系ガラス
19	金属配線部
20	金属層
23	角錐状凹部
24	窒化シリコン層
26	無電解ニッケルメッキ層
31	プリント配線基板
32	貫通口
33	接触子
34	接続端子
35	プローブ固定用樹脂

【図1】



【図3】



【図 2】

